

CLIPPEDIMAGE= JP363104343A

PAT-NO: JP363104343A

DOCUMENT-IDENTIFIER: JP 63104343 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: May 9, 1988

INVENTOR-INFORMATION:

NAME

KURANAGA, HIROSHI

NAKABAYASHI, TAKEO

ASSIGNEE-INFORMATION:

NAME

MITSUBISHI ELECTRIC CORP

COUNTRY

N/A

APPL-NO: JP61250974

APPL-DATE: October 21, 1986

INT-CL (IPC): H01L021/60

US-CL-CURRENT: 438/109, 438/FOR.368

ABSTRACT:

PURPOSE: To highly integrate a semiconductor device thereby to eliminate a protecting layer which is needed in a conventional device by opposing two or more chips on circuit surfaces, electrically connecting them with bumps, and stacking secured superposed chips.

CONSTITUTION: A chip 1a having a circuit section on the upper surface and a chip 1b having a circuit section on the lower surface are opposed. A chip 2a having a circuit section on the upper surface and a chip 2b having a circuit section on the lower surface are opposed. Electrodes are connected to each

other. The stacked chips of lower stage are connected by wirings 4 to the stacked chips of upper stage. Thus, it is highly integrated to eliminate a protecting layer which is needed in a conventional device.

COPYRIGHT: (C)1988,JPO&Japio

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑪ 公開特許公報 (A) 昭63-104343

⑫ Int. Cl. 4
H 01 L 21/60

識別記号 庁内整理番号
6918-5F

⑬ 公開 昭和63年(1988)5月9日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭61-250974
⑯ 出 願 昭61(1986)10月21日

⑰ 発明者 蔵 永 寛 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑱ 発明者 中 林 竹 雄 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代理人 弁理士 大岩 増雄 外2名

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) いずれも、構造結合手段により素子を形成された互の活性面を向い合せに結合された2枚以上のチップからなり、それぞれの前記チップの前記活性面の反対側の面同志で接着して、積み上げられている複数の重ね合せチップと

前記重ね合せチップ間を結合するワイヤとを備えた半導体装置。

3. 発明の詳細な説明

【産業上の利用分野】

この発明は、半導体集積回路チップを積み上げ、高機能化、高集成化をはかつた半導体装置に関するものである。

【従来の技術】

第2図、第3図は、従来の半導体装置を示す平面図及びそのⅠ-Ⅰ断面図であり、図において(1)は第一層目の集積回路チップ、(2)は第二層目の集

積回路チップ、(3)は(1)の回路部分を保護し、(1)と(2)を固定する層、(4)は(1)と(2)の回路を電気的に接続するワイヤであり、(5)はワイヤーボンディング用バンドである。

従来の半導体装置は上記のように構成され、上記の要領で、何層にも重ね合せ回路の集積度を上げ、また高機能化をはかることができる。

【発明が解決しようとする問題点】

上記のような従来の半導体装置では、積み上げる二つのチップの間にチップ同志を固定し、下のチップの回路部分を保護するための層(3)を、非導電性で、熱などの要因による変形がきわめて小さい物質で作る必要があり、また、上下のチップを電気的に接続するためには、チップの周辺に設けたバンド(5)をワイヤーボンディングで結ぶしかなく回路の設計にあたつての制約が多いという問題点があつた。

この発明はかかる問題点を解決するためになされたもので、前記保護層を必要とせず、また、積み重ねられたチップ間の信号のやりとりをワイヤ

ーボンディング以外の方法で行える半導体装置を得ることを目的とする。

〔問題点を解決するための手段〕

この発明に係る半導体装置は、二枚以上のチップを回路面を向い合せ、回路面上に作られた電極同志を接続することによつて電気的に接続し、固定した重ね合せチップ、前記重ね合せチップを積み上げ、ワイヤーボンディングにより電気的に接続したものである。

〔作用〕

この発明においては、前記重ね合せチップ内のチップ間では、任意の場所に設けられた電極をにより固定し、また、電気信号のやりとりを行い、他の前記重ね合せチップとは、チップの裏面同志をはり合せ、固定し、ワイヤーボンディングにより、電気信号のやりとりをおこなつている。

〔実施例〕

第1図はこの発明の一実施例を示す断面図であり、前記重ね合せチップを2つ積み重ねたものである。(1a)、(2a)はともに、その上面に回路部分

実施例の断面図を示す。

また、前記重ね合せチップを構成するチップは、同一のプロセスを用いて作る必要がないため、多種類のプロセスで作られたチップを組み合せ、構成することによつて高機能化をはかることができる別の効果もある。

上記実施例では、バンプ(6)を用いる場合であつたが、チップ(1a)、(1b)のいずれかチップ(2a)、(2b)のいずれかのバッド(7)上に成長した金などの厚いメッキ層を用いてもよい。

なお上記で説明を省略したがチップ(1b)、(2a)間の接続方法としては通常のダイボンディング時の方

法を採用した。

〔発明の効果〕

この発明は以上説明したとおり、二枚以上のチップを回路面を向い合せ、バンプ等を用いて電気的に接続し、固定した重ね合せチップを積み上げることにより、高集積化をはかり、従来装置に必要だつた保護層をなくす効果がある。

4. 図面の簡単な説明

をもつチップ、(1b)、(2b)はともに、その下面に回路部分をもつチップ、(6)は前記重ね合せチップ内で電気的接続をとり、チップを固定する機電結合手段で本実施例ではバンプを用いており、(7)はこのバンプ用バッドを示し、(10)は、下段の重ね合せチップ、(20)は上段の重ね合せチップを示しております、(10)と(20)は、ワイヤー(4)により電気的に接続され、ダイボンドと同様の技術でチップの裏面同志をはり合せ固定されている。そのため従来の装置には必要だつた保護層(3)を必要としない。

前記重ね合せチップを構成するチップ間は、バンプにより電気的に接続されているので、従来の半導体装置に比べ設計がより容易になつてゐる。

なお、上記実施例では、前記重ね合せチップを2段重ねたものを示したが、3段以上積み重ねることによつてより高い集積度を得ることが可能である。

また、前記重ね合せチップは3枚以上のチップを用いて構成することができ、第4図に、前記重ね合せチップを3枚のチップで構成した場合の一

第1図、第4図は、この発明の一実施例を示す断面図、第2図、第3図はそれぞれ、従来の半導体装置を示す平面図、断面図である。

図において、(1a) (1b) (2a) (2b)は集積回路チップ、(4)はワイヤー、(6)は機電結合手段、(10) (20)はともに重ね合せチップである。

なお、各図中同一符号は同一または相当部分を示す。

代理人 大岩 増雄

(2) 図面の第1図を別紙のとおり訂正する。

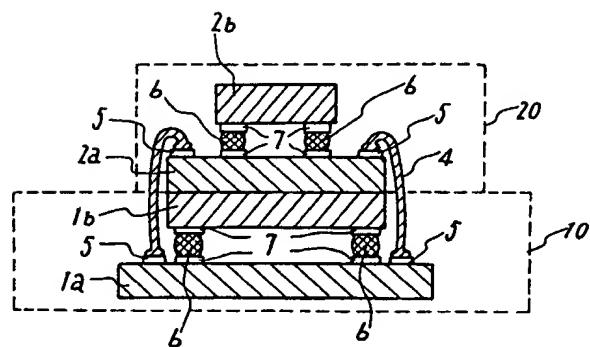
7. 添付書類の目録

(1) 図面(第1図)

1通

以上

第1図



1a, 1b, 2a, 2b : チップ

4 : ワイヤー

6 : 機電結合手段

10 : 下段重ね合せケップ

20 : 上段重ね合せケップ